Laboratorio 04: Contador decimal con display de 7-segmentos

Por:

Ian Gabriel Cañas Fernández, 1092228

.

.

# Contador decimal con display de 7-segmentos

Utilizando y dominando los procesos para poder simular una combinación de dígitos variados.

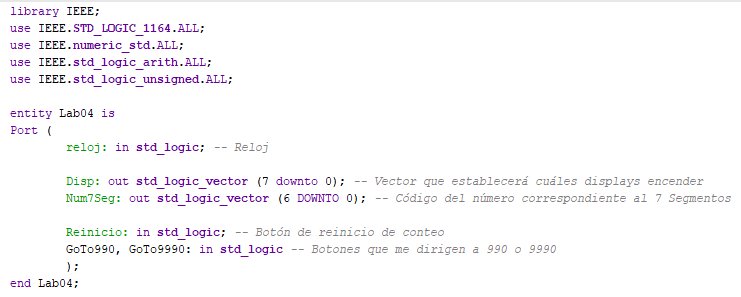
# Objetivos:

* Diseñar un sistema digital que despliegue un contador decimal de cuatro dígitos (0 – 9999) utilizando 4 displays de 7-segmentos.

# Procedimiento:

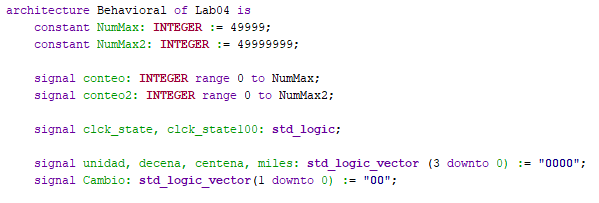
En el presente laboratorio, vamos a crear un contador decimal que va a presentar la numeración en los displays disponibles en la FPGA. Solo que, al estar estos en paralelo entre sí, si intentamos presentar varios dígitos al mismo tiempo, no se podría, pues al encender varios displays, siempre presentan el mismo símbolo solicitado, por lo que vamos a crear un divisor de frecuencia, para que cada dígito se muestre en su momento.

Presentamos el código empezando por las librerías y los puertos a ser utilizados:



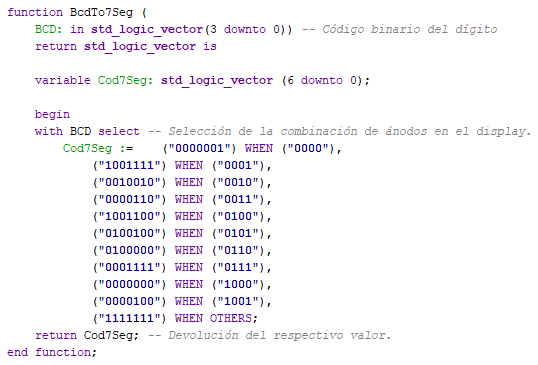
Podemos notar que solo hay tres puertos de entradas, estos son el reloj interno de la tarjeta, que es un cristal que cambia cíclicamente su estado. Y dos botones cuyas funciones son reiniciar y adelantar el conteo.

Luego de la entidad y librerías establecemos variables con las que vamos a trabajar:

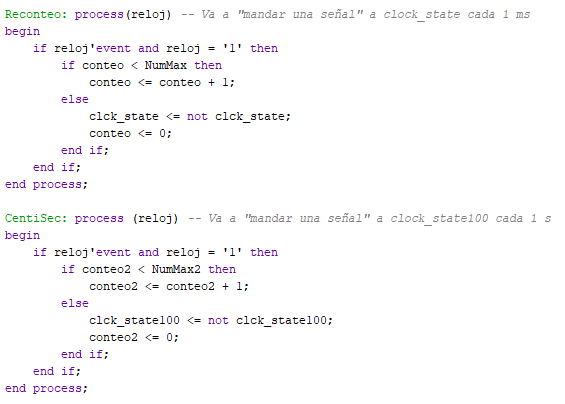


Estas variables a partir de los procesos puestos van a crear la combinación necesaria para el conteo. Es decir, crear los números, establecer las frecuencias de muestreo y conteo, etc.

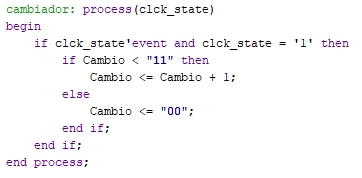
Continuamos con la función previamente realizada en el laboratorio 02 que, al ser llamada con el parámetro del dígito, va a devolver la combinación correspondiente al display de ánodo común.



Proseguimos agregando dos procesos que van a generar una señal de cambio cada milisegundo y cada segundo, dichas señales se conocerán como y respectivamente, cuyo estado va a oscilar entre 0 y 1 exclusivamente.



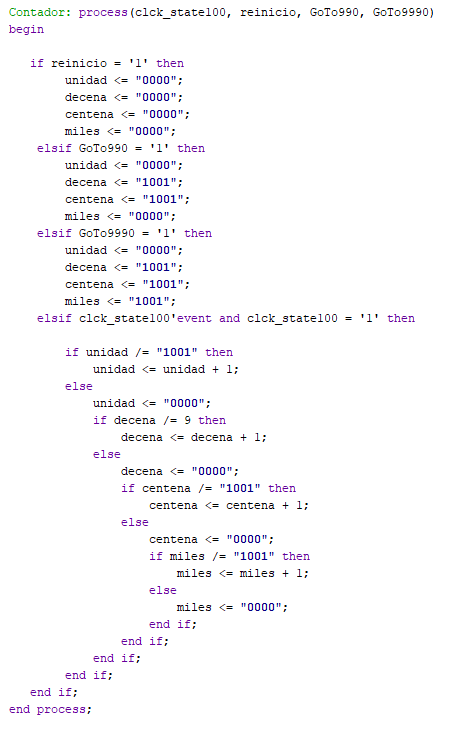
El cambio del estado de , que es de un milisegundo, va a ser detectado por un proceso que se va a encargar de alternar el display a ser encendido en dicho momento.



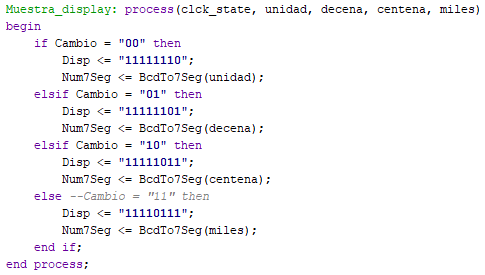
Paralelamente, el cambio de estado de va a ser detectado por otro proceso, para hacer un conteo, solo que hemos introducido dos botones, uno que va a reiniciar el conteo y otro que lo va a llevar a 990.

Los botones anteriormente mencionados se encuentran en la lista de sensibilidad del proceso, por lo que no es necesario esperar al próximo cambio de segundero para hacer el cambio.

Inclusive, los botones del proceso de conteo tienen prioridad absoluta frente a la numeración, pues va a rehacer el conteo.



Finalmente nos encontraremos con el proceso que va a detectar cada cambio establecido, sea el cambio de display mostrado o el nuevo valor de cada dígito y que, inmediatamente va a encargarse de encender exclusivamente ese display y llamar a la función que va a traducir el valor de binario al decimal a ser representado con la combinación de ánodos mostrados a inicios del programa.

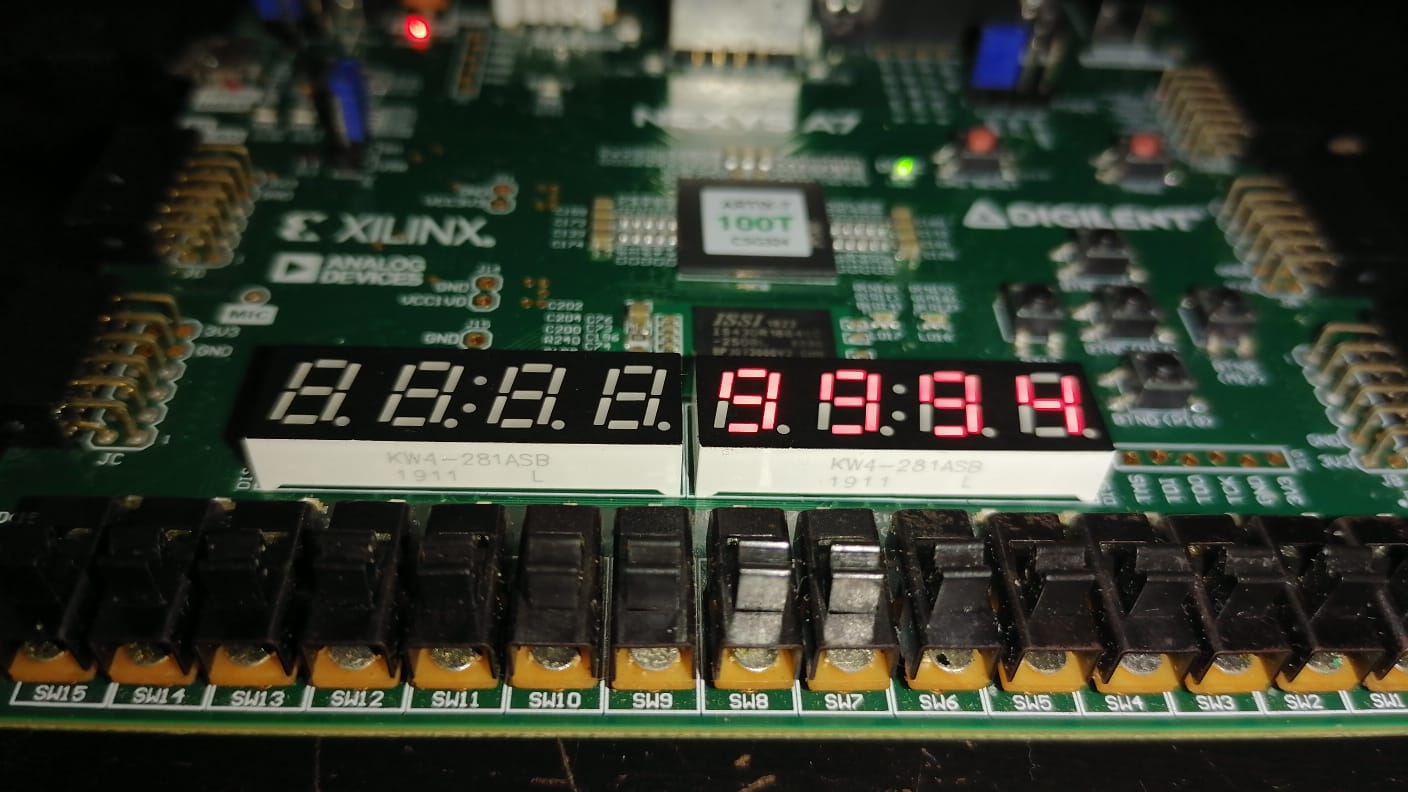
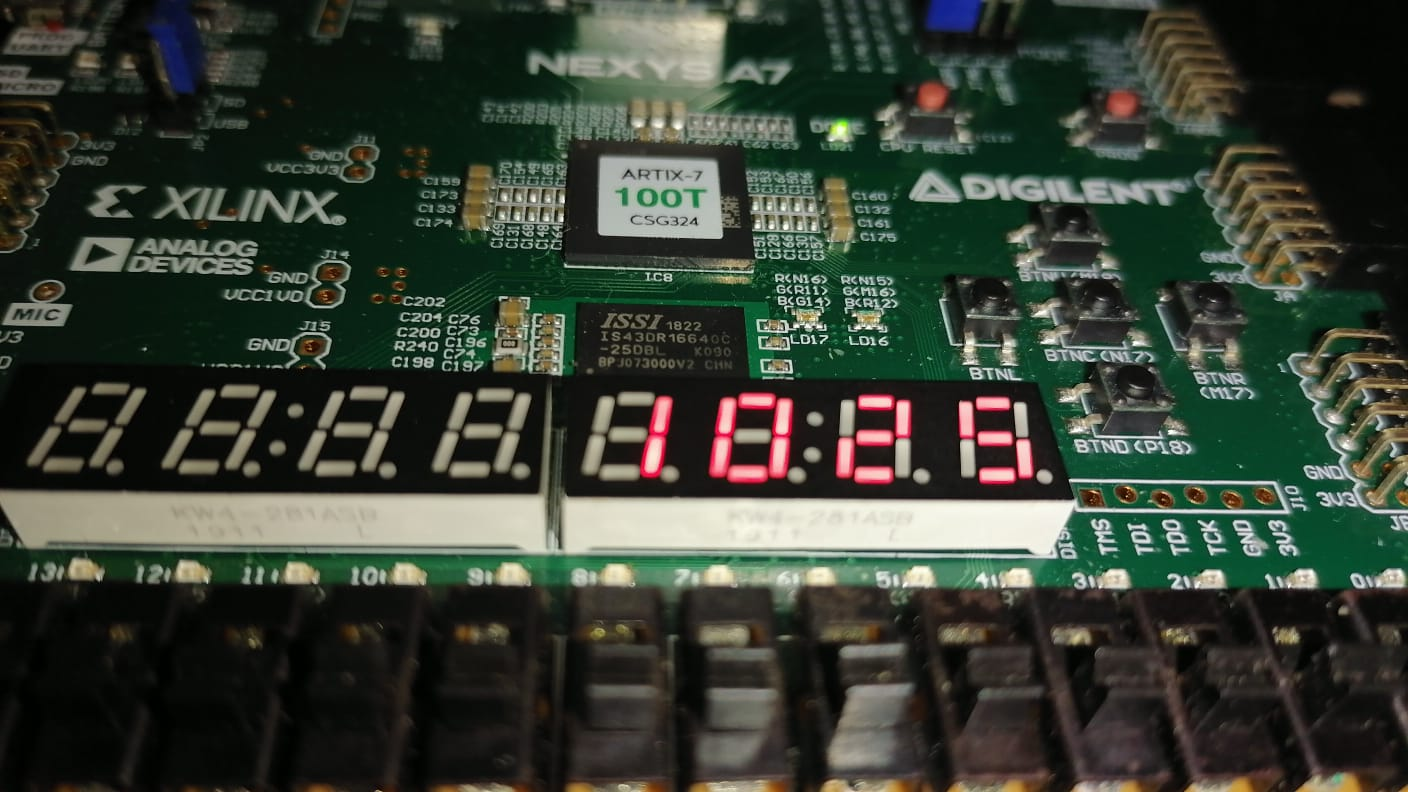


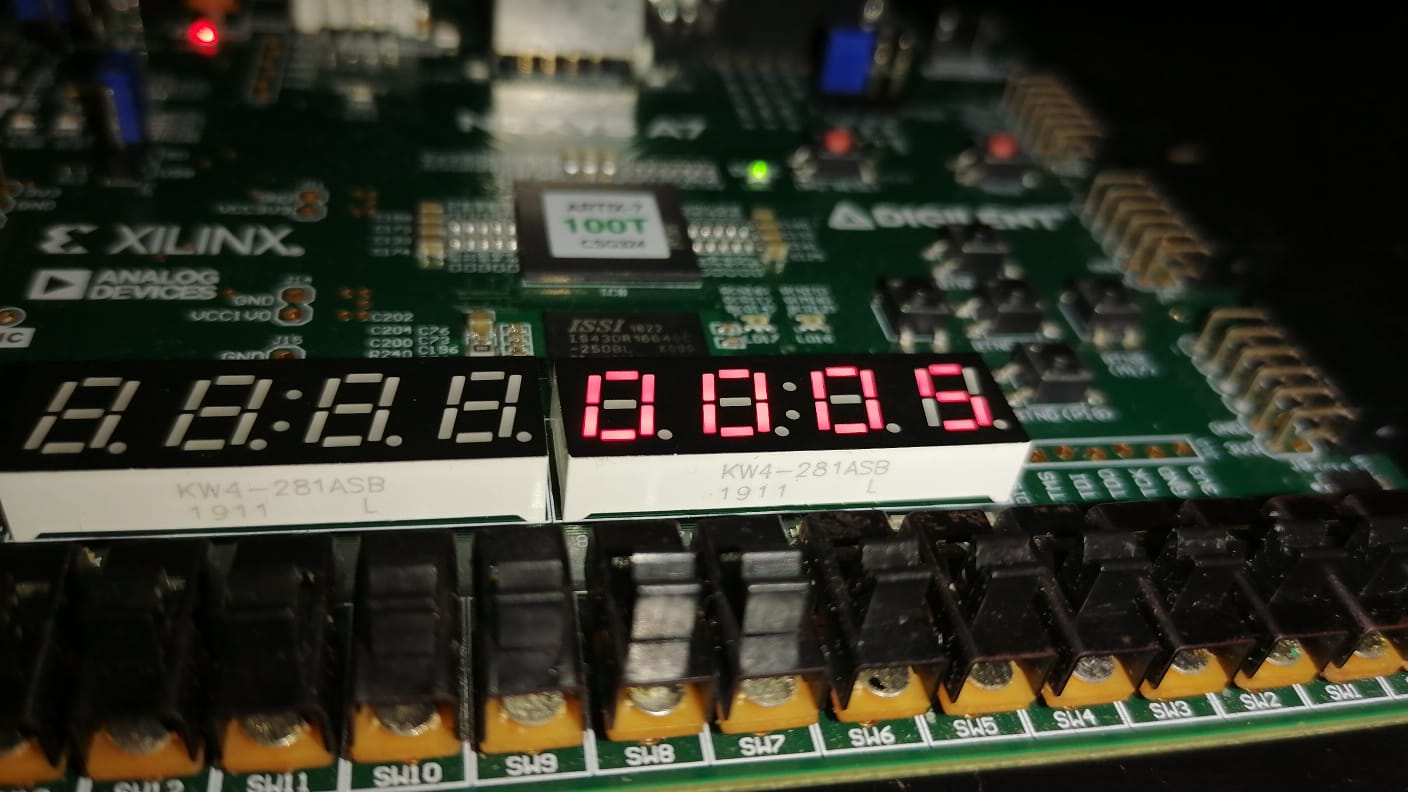
# Resultados:

Los resultados obtenidos son los esperados; se presentan números decimales en los displays trabajados en el orden establecido, cumple fielmente con la regla de conteo y acarreo para la cantidad de dígitos necesarios.

Además, la FPGA, inmediatamente se pulsa el botón de reinicio, inicia el conteo desde 0. Claramente, al ser pulsado el botón de GoTo990 o de GoTo9990, el conteo inicia en 990 y 9990 tal y como se le solicita, ignorando el estado anterior del conteo. Una observación interesante es que automáticamente llega a 9999, reinicia al conteo desde 0.

Se presentan algunos de los resultados presentados en varios tiempos.





# Análisis:

Se pudo comprender el comportamiento de los procesos y las funciones en VHDL, conociendo sus prioridades y evitando un proceso cíclico indeseado. Es necesario reconocer que es mejor tener varios procesos simples que uno muy complejo, además, en la confección e implementación del código, se pudo observar que un mal uso de las sentencias secuenciales puede provocar errores muy grandes o pesados para la tarjeta.

Nota: Se aconseja pensar los procesos secuenciales de una manera más física que digital.